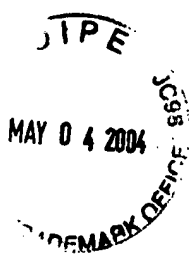


02910.000106



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
: Examiner: Unassigned  
OSAMU SAGANO, ET AL. )  
: Group Art Unit: 2673  
Application No.: 10/743,871 )  
:   
Filed: December 24, 2003 )  
:   
For: IMAGE DISPLAY APPARATUS ) May 4, 2004

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Sir:

In support of Applicants' claim for priority under 35 U.S.C. § 119, enclosed is a certified copy of the following foreign application, together with the English translation of the front page:

2002-380617, filed December 27, 2002.

Applicants' undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our below-listed address.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Scott D. Malpede".

Attorney for Applicants  
Scott D. Malpede  
Registration No. 32,533

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

SDM/vmm  
DC\_MAIN 163556v1



JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: December 27, 2002  
Application Number: JP 2002-380617  
Applicant(s): CANON KABUSHIKI KAISHA

Dated this 14th day of January 2004

Commissioner,  
Japan Patent Office

Yasuo IMAI (Seal)

Certificate Issuance No. 2003-3111021

Apph. No.: 10/743,871  
Filed: 12/24/03  
Inventors: Osamu Sogano, et al.  
Att. Unit: Unassigned  
日本国特許庁  
JAPAN PATENT OFFICE

CFQ00106  
US

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月27日  
Date of Application:

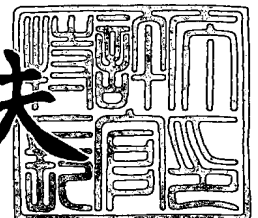
出願番号 特願2002-380617  
Application Number:  
[ST. 10/C]: [JP 2002-380617]

出願人 キヤノン株式会社  
Applicant(s):

2004年 1月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3111021

【書類名】 特許願

【整理番号】 251386

【提出日】 平成14年12月27日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G09G 3/30  
H01J 1/30  
H01J 31/12  
H04N 5/68

【発明の名称】 画像表示装置

【請求項の数】 1

【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内  
【氏名】 嵯峨野 治

【発明者】  
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社 内  
【氏名】 齋藤 裕

【特許出願人】  
【識別番号】 000001007  
【氏名又は名称】 キヤノン株式会社  
【代表者】 御手洗 富士夫

【代理人】  
【識別番号】 100085006  
【弁理士】  
【氏名又は名称】 世良 和信  
【電話番号】 03-5643-1611

## 【選任した代理人】

【識別番号】 100100549

【弁理士】

【氏名又は名称】 川口 嘉之

## 【選任した代理人】

【識別番号】 100106622

【弁理士】

【氏名又は名称】 和久田 純一

## 【手数料の表示】

【予納台帳番号】 066073

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

マトリクス状に配置され、複数の行配線及び列配線を介して駆動され、画像形成に用いられる画像形成素子と、

前記行配線を順次選択し走査する走査手段と、前記列配線に印加する変調信号を出力する変調手段とを備える画像表示装置において、

前記変調信号は、複数の電圧振幅値を有するパルス幅変調された電圧信号であって、画像データに対して、少なくとも前記行配線の抵抗分による電圧降下の影響を低減するための補正画像データを算出する電圧降下補正手段を有し、

前記変調手段は、前記補正画像データに基づいて、前記変調信号のパルス幅及び／または電圧振幅値を伸張した変調信号を出力することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の表示用素子をマトリクス配線した表示パネルを備える画像表示装置に関する。

【0002】

【従来の技術】

従来、この種の画像表示装置としては、例えば、下記特許文献 1 において開示されるように、行方向に N 個、列方向に M 個の合計  $N \times M$  個の冷陰極素子を 2 次元的にマトリクス状に配列し、それらを行方向に設けられた M 本の行配線と列方向に設けられた N 本の列配線によりマトリクス配線してなるマルチ電子源を備えた構成の画像表示装置が知られている（単純マトリクス構造）。

【0003】

この画像表示装置は、行配線と列配線の両方に所定の駆動電圧を印加すること

により、両配線に接続された冷陰極素子を駆動して電子を放出させ、マルチ電子源に対向配置した蛍光体に電子ビームを照射することによって画像を表示するものである。

#### 【0004】

マトリクス配線された多数の冷陰極素子を駆動する場合には、マトリクスの1行分の素子群（1行分の素子群は1本の行配線に接続されている）を同時に駆動する方法が行われている。

#### 【0005】

すなわち、1本の行配線に所定の選択電位を印加すると共に、該行配線に接続されたN個の冷陰極素子のうち駆動対象となるものに接続している列配線のみに所定の交調電位を印加することで、1行分の複数の素子を同時に制御している。そして、駆動行を次々と切り替えて全ての行を走査していき、視覚の残像現象を利用して2次元的な画像を形成している（線順次駆動）。

#### 【0006】

この方法によれば、1素子ずつ走査していく方法と比較して、各素子に割り当てられる駆動時間がN倍長く確保されるため、画像表示装置の輝度を高くすることができるという利点がある。

#### 【0007】

しかし、1行分のN個の冷陰極素子は、1本の行配線に接続されており、各素子ごとにその接続位置が異なっているため、1行分の素子群を同時に駆動する場合には、配線抵抗による電圧降下の影響を受けて、各素子の輝度にバラツキが生じてしまう。

#### 【0008】

特にこの電圧降下は、線順次駆動する際に電流が集中して流れ込む選択された行配線において特に顕著である。

#### 【0009】

また、電圧降下は行配線の駆動端からの抵抗値だけでなく、駆動状態にある冷陰極素子がどのような位置にあるかによって変化するため、補正を行う上では、画像データに応じて補正を行う必要がある。

## 【0010】

この電圧降下に起因する輝度低下を補償するために、上記特許文献1においては、画像データに対しその補正量を算出し、それらを合成する構成が提案されている。

## 【0011】

図16を参照して従来の構成について説明する。図16は特許文献1の第1実施例の構成図を示したものである。詳細な説明は該公報に書かれているので省略するが、図16に示されるように補正を行うために、各列配線毎に備えられる乗算器208にて輝度データと、メモリ手段207からの補正データとを乗算し、変調信号発生器209に補正後データを転送する構成が公開されている。

## 【0012】

また、特許文献2には、本発明者によって、より簡単な回路構成で好適に電圧降下の影響を補正する例が開示されている。詳細な説明は該公報に書かれているので、省略するが、特許文献2ではマトリクス状に結線された表示パネルを線順次に走査し、さらに電圧振幅変調により変調を行う際に、走査配線において発生する電圧降下量を少ない回路により計算し、補正を行うことが記載されている。

## 【0013】

同公報では、電圧降下量を計算するのにあたり、走査配線の長手方向を複数のブロックに分割し、各々のブロックの点灯状態から各々のブロックの電圧降下量を計算し、さらにそれを補間することにより、複数の列配線の各々に印加する駆動パルスの波形を補正することが記載されている。

## 【0014】

一方、本発明者らが、さらに検討を行った結果、表示パネルを変調するための変調方式（変調パルス）として、図17に示すような、パルスの電圧方向と時間方向の変調を併用した変調方式が好ましいことが見出されている。

## 【0015】

この理由としては、

(1) 画像を表示するのに好ましい階調数を表現するためには、単純なパルス幅変調ではパルス幅変調のクロック周波数が高くなりすぎてしまうこと、



(2) 画像を表示するのに好ましい階調数を表現するためには、単純な振幅変調では D A 変換回路のビット数が多くなるなど、回路が大きくなること、などを考慮した結果である。

【0 0 1 6】

【特許文献 1】

特開平 8 - 2 4 8 9 2 0 号公報

【特許文献 2】

特開 2 0 0 2 - 2 2 9 5 0 6 号公報

【0 0 1 7】

【発明が解決しようとする課題】

しかしながら、画像データの階調情報に応じて、変調パルスの電圧方向と時間方向の変調を併用した変調方式に対して、前述の電圧降下の影響を補正する方法については、これまで検討されていなかった。

【0 0 1 8】

また、電圧降下の補正を行い、好適に画像を表示するという目的に対し、変調手段の入力データを増加させた際に、上記変調方式において、どのような順に変調パルスを増加させていくのが好ましいかについても十分検討がされていなかった。

【0 0 1 9】

本発明は上記の従来技術の課題を鑑みなされたもので、その目的とするところは、パルス幅の電圧方向と時間方向の変調を併用した変調方式を用いて、電圧降下の影響を好適に補正し、好ましい表示画像を得る技術を提供することにある。

【0 0 2 0】

【課題を解決するための手段】

上記目的を達成するために本発明にあっては、

(1) マトリクス状に配置され、複数の行配線及び列配線を介して駆動され、画像形成に用いられる画像形成素子と、

前記行配線を順次選択し走査する走査手段と、前記列配線に印加する変調信号を出力する変調手段とを備える画像表示装置において、

前記変調信号は、複数の電圧振幅値を有するパルス幅変調された電圧信号であって、画像データに対して、少なくとも前記行配線の抵抗分による電圧降下の影響を低減するための補正画像データを算出する電圧降下補正手段を有し、

前記変調手段は、前記補正画像データに基づいて、前記変調信号のパルス幅及び／または電圧振幅値を伸張した変調信号を出力することを特徴とする。

#### 【 0 0 2 1 】

また、(2) 上記(1)の構成において、前記変調信号は、前記変調手段の入力データを1単位増加させたとき、所定の前記電圧振幅値の時間幅を1単位時間増加させる波形であり、該波形の時間幅が変調可能な時間幅の上限を超える場合には、前記所定の電圧振幅値を1単位電圧増加させた波形となることが好適である。

#### 【 0 0 2 2 】

また、(3) 上記(1)または(2)の構成において、前記電圧降下補正手段は、

前記画像データを、前記画像データに基づいて変調を行った際の実効的な電圧値に変換する実効電圧計算手段と、

前記実効電圧値に対して、少なくとも前記行配線の抵抗分による電圧降下の影響を低減するための補正値を算出する補正値算出手段と、

該補正値と該実効電圧値を演算し補正された実効電圧値を算出する演算手段と

補正された実効電圧値を前記補正画像データに変換する変換手段と、

を有することが好適である。

#### 【 0 0 2 3 】

また、(4) 上記(3)の構成において、前記電圧降下補正手段は、前記補正画像データが変調手段の入力範囲に収まるように、予め前記画像データに0より大きく1以下のゲインが乗算された画像データに対し、前記補正画像データを算出することが好適である。

#### 【 0 0 2 4 】

また、(5) 上記(3)の構成において、前記変調手段は、

前記補正画像データが変調手段の入力範囲に収まるように、該前記補正画像データに 0 より大きく 1 以下のゲインが乗算された補正画像データに基づいて変調信号を出力することが好適である。

#### 【0 0 2 5】

##### 【発明の実施の形態】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

#### 【0 0 2 6】

##### （第 1 の実施の形態）

これまで述べてきたように、表面伝導型放出素子等の画像表示素子を単純マトリクス構造に配置した表示装置においては、行配線における電圧降下の影響により、表示画像が劣化するという課題があった。

#### 【0 0 2 7】

本実施の形態では、パルス幅の電圧方向と時間方向を変調する変調方式（振幅・パルス幅変調）をもちいた画像表示装置において、配線抵抗に起因する電圧降下の影響を好適に補正するものである。

#### 【0 0 2 8】

まず本発明の画像表示装置である表示パネルの概観、表示パネルの電氣的接続については、特開 2 0 0 2 - 2 2 9 5 0 6 の実施例に記載されている構成を前提としている。すなわち、いわゆる単純マトリクス状に行配線、列配線を作製し、その行と列の交差部に画像表示素子を配置した構造である（図 2 参照）。

#### 【0 0 2 9】

以下、本発明の画像表示装置の画像表示素子の例として好適に用いることができる表面伝導型放出素子の特性について説明する。

#### 【0 0 3 0】

##### （表面伝導型放出素子の特性）

表面伝導型放出素子は、2 つの電極とその間に形成された電子放出部とからな

る。図2に示すように、2つの電極のそれぞれは行配線1003と列配線1004に電氣的に接続されており、両電極に所定の電位（その電位差が素子駆動電圧 $V_f$ となる）を印加すると、前記電子放出部から電子が放出される。ここで放出電子による電流を放出電流 $I_e$ と呼び、両電極間に流れる電流を素子電流 $I_f$ と呼ぶ。

#### 【0031】

図3は、本実施の形態に係る画像表示素子の一例である表面伝導型放出素子の特性を示すグラフである。典型的な表面伝導型放出素子は、図3に示すように（放出電流 $I_e$ ）対（素子駆動電圧 $V_f$ ）特性、および（素子電流 $I_f$ ）対（素子駆動電圧 $V_f$ ）特性を有する。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

#### 【0032】

このような表面伝導型放出素子は、放出電流 $I_e$ に関して以下に述べる3つの特性を有している。

#### 【0033】

第一に、ある電圧（これを閾値電圧 $V_{th}$ と呼ぶ）以上の電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。すなわち、表面伝導型放出素子は、放出電流 $I_e$ に関して、明確な閾値電圧 $V_{th}$ を持った非線形素子であるといえる。

#### 【0034】

第二に、放出電流 $I_e$ は素子に印加する素子駆動電圧 $V_f$ に依存して変化するため、素子駆動電圧 $V_f$ を変化させることにより、放出電流 $I_e$ の大きさを制御できる。

#### 【0035】

第三に、冷陰極素子は高速な応答性を有しているため、素子駆動電圧 $V_f$ の印加時間により放出電流 $I_e$ の放出時間を制御できる。

#### 【0036】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用い

ることができる。たとえば第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えることにより、表示画面を順次走査して表示を行うことが可能である。

#### 【0037】

また、第二の特性を利用することにより、素子に印加する素子駆動電圧  $V_f$  の大きさにより、蛍光体の発光輝度を制御することができ、階調画像の表示及び画像品質の調整が可能である。

#### 【0038】

また、第三の特性を利用することにより、素子に素子駆動電圧  $V_f$  を印加する時間により、蛍光体の発光時間を制御することができ、階調画像の表示及び画像品質の調整が可能である。

#### 【0039】

したがって本発明の画像表示装置は、上記第二及び第三の特性を併用して表示パネル 1 の変調を行っている。

#### 【0040】

図 4 は、本実施の形態に係る画像表示装置の変調パルスの波形の一例を示す模式図である。

#### 【0041】

前述したように、本発明では冷陰極素子の応答性の速い点や、電圧に対する制御性の良さという利点を踏まえて、図 4 のような駆動パルスを用いている。

#### 【0042】

図 4 (a) に示す波形は、変調手段（変調回路）のビット数を 10 ビットとした場合の一つの例である。同図では、時間方向の階調の増加する 1 単位時間（1 時間スロット）を  $\Delta t$  とし、256 個の時間スロット（タイムスロット）をもっている。

#### 【0043】

電圧の振幅方向は、変調手段への入力値に応じて、 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ （

本例では、 $|V1| < |V2| < |V3| < |V4|$  : ただし $|$ は絶対値)  
となる4つの電圧を取ることにした。

#### 【0044】

ここで、電圧振幅値の差、即ち $|V2| - |V1|$ 、 $|V3| - |V2|$ 、 $|V4| - |V3|$ 、を1単位電圧と呼ぶ。

#### 【0045】

図中に記載された数字は変調手段への入力データの大きさと対応していて、変調手段への入力データがXである場合には、図の波形でX以下の数字が記載されているブロックから構成される波形が出力される。

#### 【0046】

例えば、入力データが511(十進数)である場合には、第1～第255の時間スロットではV2の電圧を出力し、第256の時間スロットでは、V1の電圧を出力する(同図(b))。

#### 【0047】

同様に、入力データが770(十進数)である場合には、第1～第2の時間スロットではV4の電圧を出力し、第3から第256の時間スロットでは、V3の電圧を出力する(同図(c))。

#### 【0048】

本発明は、このような画像データに対応した変調手段の入力データに基づいて、時間方向及び電圧振幅方向に変調された駆動電圧波形を出力する画像表示装置において、下述されるような電圧降下補正を行ったときに、その補正分をこの電圧波形の形成方法を維持して、その積分値を増加させるものである。

#### 【0049】

即ち、電圧降下補正分として、入力データを1単位増加させるときには、まず優先的に時間スロットを増加させ(1単位時間増加させ)、時間スロットが満たされている場合には、電圧振幅値を1単位電圧だけ増加させるものである。

#### 【0050】

なお、図4の波形は一例であって、図5(a)や(b)のような波形であってもかまわない。

**【0051】**

また、電圧方向も上記の例では4つの電源を切り替えていたが、特にこれにこだわることはない。

**【0052】**

なお、V1、V2、V3、V4の電位と走査回路が選択されている走査配線に出力する選択電位 $V_s$ との電位差は、図3に示す閾値 $V_{th}$ よりも大きくなるように設定されている。

**【0053】**

また、V1、V2、V3、V4の電位と走査回路が非選択の走査配線に出力する非選択電位 $V_n$ との電位差は、前述の閾値 $V_{th}$ よりも小さくなるように設定されている。

**【0054】**

このように動作点を設定することにより、本実施の形態の変調方式により、好適に変調を行うことができる。

**【0055】**

以下、本実施の形態に係る電圧降下補正方法について説明を行う。

**【0056】**

(電圧降下補正方法)

上述した変調方式における電圧降下を補正するためには、その前段階として実際に発生する電圧降下量を算出する必要がある。

**【0057】**

行配線1003上に発生する電圧降下量を予測するために、本発明者らは以下の(1)～(3)のような性質を考慮した。

**【0058】**

(1) 変調手段の出力波形は、図4に示したような時間的に変化する波形であるが、その時間的な変化は、1水平走査期間の中である電位からその1つ下の電位に変化し、その後一定の電位をとる波形であるため、電流の変化は少ない。また、自然画などの表示画像では各々の列から、さまざまな形の駆動パルスが印加され、それらが印加されることによる電流の合成電流が走査配線に流れるため、

この合成電流も時間的な変動が少ない。したがって該電流が配線に流れることにより発生する電圧降下量も時間的な変動は小さい。

#### 【0059】

このことから、本実施の形態では1水平走査期間中に発生する電圧降下量の時間的な変動は無視し、1水平走査期間中に平均的に発生する電圧降下量に基づいて補正を行うこととした（以下、1水平走査期間中の平均的な電圧降下量を「実効電圧降下量」という）。

#### 【0060】

また、次の近似として実効電圧降下量は変調配線に印加される変調パルスの時間的な変化を平均化した実効的な振幅値の電圧が印加された場合として計算することとした。

#### 【0061】

また、(2) 図3の $V_f$ 対 $I_f$ 特性カーブにおいて、表面伝導型放出素子の両端に実効電圧 $V_F0$ を印加したときの素子電流を $I_f0$ と定義すると、逆に $I_f0$ の素子電流を表面伝導型放出素子に注入すれば、素子の両端に実効電圧 $V_F0$ が発生すること。

#### 【0062】

また、(3) 列配線1に素子電流 $I_f1$ 、列配線2に素子電流 $I_f2$ 、・・・、列配線Nに素子電流 $I_fN$ を流したときに選択されている行配線に発生する電圧降下は、いわゆる重ねの理が成り立ち、各列配線に個々に素子電流を流したときに発生する電圧降下を重ね合わせた電圧降下量として簡単に計算できること。

#### 【0063】

したがって本実施の形態では、以下のようなステップにしたがって電圧降下量を算出することとした。

#### 【0064】

まず、入力された画像データをそのまま変調手段に入力した場合に、各々の変調配線に印加される実効的な電圧値に変換する。

#### 【0065】

つぎに、該電圧値が選択された行配線上の表面伝導型放出素子に印加された際



に流れる実効的な素子電流量に変換する。

【 0 0 6 6 】

さらに、その素子電流を流したときの行配線上での電圧降下量を（3）の特性に従って計算を行う。

【 0 0 6 7 】

さらに、算出された電圧降下量を前述の実効電圧値に加算し補正する。

【 0 0 6 8 】

さらに、振幅の平均値が、加算後の実効電圧値になるような変調データに変換し、その変調データを変調手段へと入力する。

【 0 0 6 9 】

図 6 は上記（3）の特性をもとに、素子電流量から行配線上の電圧降下を算出する方法を説明するための図である。

【 0 0 7 0 】

同図では簡便化のため列の本数を 4 とし、行配線については、選択行以外は省略した。また選択行の電位は行配線上の電圧降下量を計算上での基準となる電位であるため、計算上のグランドとして記載した。

【 0 0 7 1 】

またある列とその隣の列のあいだの行配線の抵抗値を  $r$  とし、すべての区間で共通とした。また、行配線取り出し部の抵抗も  $r$  とした。また列配線と行配線の間に接続される表面伝導型放出素子は計算上必要ないため省略した。

【 0 0 7 2 】

図 6（a）は列配線 1 のみに電流  $I_{f1}$  を注入した場合の例である。このとき  $\Delta V_1 \sim \Delta V_4$  に発生する電位は、同図右の折れ線のようになり（折れ線の縦軸は電位、横軸は水平方向の位置である）、グランド電位に対して以下の電位差が発生する。

## 【数 1】

$$\begin{aligned}\Delta V1 &= 4/5 \times r \times If1 \\ \Delta V2 &= 3/5 \times r \times If1 \\ \Delta V3 &= 2/5 \times r \times If1 \\ \Delta V4 &= 1/5 \times r \times If1\end{aligned}$$

同様に、図 6 (b) は列配線 2 のみに電流  $I f 2$  を注入した場合の例である。  
このとき  $\Delta V 1 \sim \Delta V 4$  に発生する電位は、同図右の折れ線のようになり、グラ  
ンド電位との間に以下の電位差が発生する。

## 【数 2】

$$\begin{aligned}\Delta V1 &= 3/5 \times r \times If2 \\ \Delta V2 &= 6/5 \times r \times If2 \\ \Delta V3 &= 4/5 \times r \times If2 \\ \Delta V4 &= 2/5 \times r \times If2\end{aligned}$$

同様に、図 6 (c) は列配線 3 のみに電流  $I f 3$  を注入した場合の例である。  
このとき  $\Delta V 1 \sim \Delta V 4$  に発生する電位は、同図右の折れ線のようになり、グラ  
ンド電位との間に以下の電位差が発生する。

## 【数 3】

$$\begin{aligned}\Delta V1 &= 2/5 \times r \times If3 \\ \Delta V2 &= 4/5 \times r \times If3 \\ \Delta V3 &= 6/5 \times r \times If3 \\ \Delta V4 &= 3/5 \times r \times If3\end{aligned}$$

同様に、図 6 (d) は列配線 4 のみに電流  $I f 4$  を注入した場合の例である。  
このとき  $\Delta V 1 \sim \Delta V 4$  に発生する電位は、同図右の折れ線のようになり、グラ  
ンド電位との間に以下の電位差が発生する。

## 【数 4】

$$\begin{aligned}\Delta V1 &= 1/5 \times r \times If4 \\ \Delta V2 &= 2/5 \times r \times If4 \\ \Delta V3 &= 3/5 \times r \times If4 \\ \Delta V4 &= 4/5 \times r \times If4\end{aligned}$$

これらの間には前述の（３）の特性により、重ねの理が成り立つため、列配線 1 ～ 4 に素子電流  $I_{f1} \sim I_{f4}$  を注入したときに  $\Delta V1 \sim \Delta V4$  に発生する電位は、数 5 に従う。

【数 5】

$$\begin{pmatrix} \Delta V1 \\ \Delta V2 \\ \Delta V3 \\ \Delta V4 \end{pmatrix} = \frac{r}{5} \begin{pmatrix} 4 & 3 & 2 & 1 \\ 3 & 6 & 4 & 2 \\ 2 & 4 & 6 & 3 \\ 1 & 2 & 3 & 4 \end{pmatrix} \begin{pmatrix} I_{f1} \\ I_{f2} \\ I_{f3} \\ I_{f4} \end{pmatrix}$$

本実施の形態では列配線が 4 つの簡単なモデルについて説明を行ったが、列の本数がさらに多い場合や、配線の抵抗値が不均等になっても、定数などは変化するが、原理的にこの法則が成り立つことを確認した。

【0 0 7 3】

画像表示装置としては、列配線の本数は数 1 0 0 以上の本数になるが、列配線の本数が増えても上述の計算方法を各列配線に対して繰り返すことにより、選択されている行配線上の電圧降下量を計算することが可能である。

【0 0 7 4】

上述の演算は、列配線が N 本ある表示パネルに対しては数 6 に示したマトリクス演算になる。しかし、数 6 の演算を 1 水平期間に同期して行うためには、計算量が非常に多いため、大規模なハードウェアが必要である（ $N \times N$  の積和演算を N 回行う必要がある。）。

【数 6】

$$\begin{pmatrix} \Delta V1 \\ \Delta V2 \\ \Delta V3 \\ \vdots \\ \Delta VN \end{pmatrix} = \begin{pmatrix} a_{11} & a_{12} & \cdot & \cdot & a_{1N} \\ a_{21} & a_{22} & \cdot & \cdot & a_{2N} \\ a_{31} & a_{32} & \cdot & \cdot & a_{3N} \\ \vdots & \vdots & & & \vdots \\ a_{N1} & a_{N2} & \cdot & \cdot & a_{NN} \end{pmatrix} \begin{pmatrix} I_{f1} \\ I_{f2} \\ I_{f3} \\ \vdots \\ I_{fN} \end{pmatrix}$$

ここで、 $a_{ij}$ （ $i = 1 \sim N$ ， $j = 1 \sim N$ ）は配線抵抗の値により定まる定数である。

【0 0 7 5】

そこで発明者らは、計算を簡略化するために、縮退化させた近似モデルにより

電圧降下量の近似解を計算することとした。図 7 は、電圧降下量の計算方法において、図 7 (a) に示すような表示パネルを図 7 (b) のように縮退化させた近似モデルを模式的に説明するための図である。

すなわち、同図に示すように、以下のようなモデル化を行った。

#### 【0 0 7 6】

(1) N 本ある列配線を 4 つのブロックに分けた ( $n = N / \text{Block}$ 、ただし  $\text{Block} = 4$ )。

#### 【0 0 7 7】

(2) 各ブロックの中央にブロック内の素子電流の総和が行配線へ流れ込むこととした。

#### 【0 0 7 8】

(3) ブロックの境界となる位置においてノード P 1 ~ P 5 を定義し、ノード P 1 ~ P 5 の電位と選択された行配線の供給端電位 ( $V_s$ ) との電位差 (電圧降下量) を  $\Delta V_{N1} \sim \Delta V_{N5}$  とした (ノードをブロックとブロックの境界の位置で定義しているの、後述する直線近似をする際に計算がしやすくなるためである)。

#### 【0 0 7 9】

(4) 隣り合うノード間の抵抗は、縮退させたことを考慮し抵抗値を  $n$  倍した。なお、図 7 (b) の縮退モデルにおける  $\Delta V_{N1} \sim \Delta V_{N5}$  は数 7 に示したマトリクス演算により簡単に計算することができる。

#### 【数 7】

$$\begin{pmatrix} \Delta V_{N1} \\ \Delta V_{N2} \\ \Delta V_{N3} \\ \Delta V_{N4} \\ \Delta V_{N5} \end{pmatrix} = \begin{pmatrix} b_{11} & b_{12} & b_{13} & b_{14} \\ b_{21} & b_{22} & b_{23} & b_{24} \\ b_{31} & b_{32} & b_{33} & b_{34} \\ b_{41} & b_{42} & b_{43} & b_{44} \\ b_{51} & b_{52} & b_{53} & b_{54} \end{pmatrix} \begin{pmatrix} \text{IFB}[1] \\ \text{IFB}[2] \\ \text{IFB}[3] \\ \text{IFB}[4] \end{pmatrix}$$

ここで、 $b_{ij}$  ( $i = 1 \sim 5$ ,  $j = 1 \sim 4$ ) は配線抵抗の値により定まる定数である。また、 $\text{IFB}[J]$  ( $J = 1, 2, \dots, \text{BLOCK}$ ) はブロック  $J$  に含まれる列の電流値  $\text{IF}[I]$  の総和である。

#### 【0 0 8 0】

本例の場合 BLOCK = 4 として、

【数 8】

$$IFB[1] = \sum_{i=1}^n IF[I]$$

$$IFB[2] = \sum_{i=n+1}^{2n} IF[I]$$

$$IFB[3] = \sum_{i=2n+1}^{3n} IF[I]$$

$$IFB[4] = \sum_{i=3n+1}^{4n} IF[I]$$

として計算できる。ただし  $n$  は 1 ブロックに含まれる列配線本数であり、 $n = N / \text{BLOCK} = N / 4$  である。

【0081】

ある列配線の素子電流  $IF[I]$  ( $I = 1, 2, \dots, N$ ) は、各々の列の実効電圧  $AVF[I]$  ( $I = 1, 2, \dots, N$ ) が表面伝導型放出素子の両端に印加された際に流れる電流として、図 3 の特性から求めることができる。

【0082】

また  $b_{ij}$  は行配線の端部を基準としたときの、 $j$  番目のブロックに単位電流を注入したときの  $i$  番目のノードの電位である。これは、配線抵抗の値などにより定まる定数であって、キルヒホフの法則にしたがって簡単に計算することができる。

【0083】

したがって、数 7 の計算を行うことで、ノード  $P1 \sim P5$  における電圧降下の値  $\Delta VN1 \sim \Delta VN5$  を近似的に求めることができる。

【0084】

次に、本実施の形態においては、ノードとノードの間に位置する列配線における電圧降下量は、数 9 に基づき、二つのノードにおける電圧降下量  $\Delta VN_k$ 、 $\Delta VN_{k+1}$  から直線近似することにより求めた。

## 【数 9】

$$\Delta V[I] = \frac{\Delta V N_k \times (X_{k+1} - x) + \Delta V N_{k+1} \times (x - X_k)}{X_{k+1} - X_k}$$

前述のようにノードの位置をブロックの境界に定義したことにより、一番端のブロックにおいてもブロックの内部の点における電圧降下量を簡単に直線近似することができるというメリットがある。すなわち、ブロックの中央でノードを定義するよりも一番端のブロックにおける直線近似を簡単に行うことができる。

## 【0085】

上記の例ではブロックの数を4つにした例をあげたが、さらにブロックの数を増やすことにより近似の誤差を低減できることは言うまでもない。行配線上に発生する電圧降下のカーブは滑らかな曲線であるため、ブロックの数を十分多くすれば、この直線近似による近似誤差は実用上ほとんど問題がなくなる。

## 【0086】

ブロックの数は、配線抵抗の値、表面伝導型放出素子の特性、変調電圧、列配線の本数やそれにより生じる誤差などを考慮して最適な値を選べばよい。

## 【0087】

また、計算量としては、近似を行う前にはN個の積和演算をN回繰り返さなければならなかったが、数7のマトリクス演算に示されるように、積和演算を(BLOCK) × (BLOCK + 1) 回繰り返せばよく、非常に計算量を低減させることができる(上述の例では、BLOCK = 4 のため、4 × 5 = 20 回の積和演算でよい。一般にこの程度の計算は一水平期間に対し、十分短い時間で実行できる)。

## 【0088】

以上のようにして計算される電圧降下量を列配線に印加する変調電位に加算し、その分だけオフセットして列配線に印加すれば、各表面伝導型放出素子から放出される放出電流は、行配線上の電圧降下の影響を受けない。

## 【0089】

したがってこのような補正を施すことで、これまでの課題であった電圧降下の影響による画像の劣化を改善することができる。

#### 【0090】

また、すべての列配線に対して計算を行わず、上述の計算方法により、近似を行って計算を行うことにより、数6の大規模なマトリクス演算が必要であったものが、数7のマトリクス演算と、数9の直線近似により計算できるため、計算量を格段に減少させることができる。

#### 【0091】

また、計算量を減少させたことにより、以下に述べるように非常に簡単な構成のハードウェアによって数7及び数9の計算を実現することができる。

#### 【0092】

以上、本発明の電圧降下量の計算について説明した。

#### 【0093】

次に、以上のようにして電圧降下の補正を行う処理回路を内蔵した画像表示装置の全体について説明を行う。

#### 【0094】

(システム全体と各部分の機能説明)

図1は本実施の形態に係る画像表示装置の回路構成の概略を示すブロック図である。

#### 【0095】

1は表示パネル、 $D_x 1 \sim D_x M$ 及び $D_x 1' \sim D_x M'$ は表示パネル1の行配線の接続端子、 $D_y 1 \sim D_y N$ は表示パネルの列配線の接続端子、 $H_v$ はフェースプレート1007とリアプレート1005(図2参照)の間に加速電圧を印加するための高圧端子、 $V_a$ は高圧電源、2は走査回路、8は図4において説明した波形を出力する変調回路である。

#### 【0096】

また、3はCRT用に表示した際にリニアな輝度特性になるように $\gamma$ 補正された映像信号を本発明の表示パネル用に逆変換するための逆 $\gamma$ 変換部であり、4は各部のタイミングをとるためのタイミング発生回路、5は1ライン分データを蓄

えるためのシフトレジスタ、6は1ライン分のラッチ回路である。またAは、本実施の形態に係る電圧降下補正手段である。

#### 【0097】

なお、本実施の形態に係る画像表示装置は、SD、HD、MPEGなどさまざまな映像ソースに対応可能であるが、ここでは簡略化のため、R、G、Bの映像信号にデコードされたあとの処理について説明を行う（本発明の処理においてはRGBごとに差異がある処理はないため、以降は単一の映像信号として説明する）。

#### 【0098】

（走査回路）

走査回路2及び2'は、表示パネル1を順次1行ずつ走査するために、接続端子Dx1～DxMに対して選択電位Vsまたは非選択電位Vnsを出力する回路である。

#### 【0099】

また、走査回路2及び2'は、タイミング発生回路4からのタイミング信号Tscanに同期して、一水平期間ごとに選択している走査配線を順次切り替え、走査を行う回路である。

#### 【0100】

なおTscanは垂直同期信号及び水平同期信号などから作られるタイミング信号群である。

#### 【0101】

走査回路2及び2'は、図8に示すようにそれぞれM個のスイッチ201とシフトレジスタ202などから構成される。これらのスイッチはトランジスタやFETにより構成するのが好ましい。

#### 【0102】

なお、行配線での電圧降下を低減するためには、図1に示したように走査回路2及び2'を表示パネル1の行配線の両端に接続し、両端からドライブすることが好ましい。もちろん、本発明は走査回路が行配線の両端に接続されていない場合でも有効であり、後述の補正手段のパラメータを変更するだけで適用可能であ



る。

### 【0103】

(電圧降下補正手段A)

電圧降下補正手段Aは、走査配線上に発生する電圧降下量を算出する回路である。同手段では前述したように走査配線上に発生する電圧降下量を時間的な変化が少ないものとし、1水平走査期間中に平均的に生じる電圧降下量を予測する。

### 【0104】

(入力変換部10(実効電圧計算手段))

入力変換部10では、ある水平ラインの逆 $\gamma$ 変換後の画像データ $D_{in}[I]$ ( $I$ は水平位置であり、 $I=1, 2, \dots, N$ )が、もしそのまま変調手段である変調回路8に入力された場合の実効電圧値(時間方向を平均化した実効的な電圧)を求めるために、画像データ $D_{in}[I]$ から、実効電圧データ $AVF[I]$ を算出する手段である。

### 【0105】

より具体的には、変調手段8の出力特性(図4)を考慮し、図9のような変換を行って、選択された行の各列に対応した画像データを、各々の実効電圧データに変換する。なお、同手段はテーブルメモリなどによって簡単に構成できる。

### 【0106】

(電圧降下量算出部11)

電圧降下量算出部11は前述の実効電圧データから、電圧降下量を算出する手段である。

### 【0107】

本実施の形態の例においても、前述したように、計算量を減らした電圧降下量を縮退化して計算させた構成で記載する。

### 【0108】

図10のように素子電流変換部(手段)30と素子電流積算部31とマトリクス計算部32と水平方向補間部33の4つの部分から構成される。

### 【0109】

素子電流変換部30は、実効電圧データを素子電流データに変換する回路であ

る。

#### 【0110】

素子電流変換部30は、図3の（素子電流 $I_f$ ）対（素子駆動電圧 $V_f$ ）に基づいて、実効電圧データ $AVF[I]$ （ $I=1, 2, \dots, N$  ただし $I$ は水平位置）を素子電流データ $IF[I]$ （ $I=1, 2, \dots, N$  ただし $I$ は水平位置）へと変換する。

#### 【0111】

素子電流積算部31は、画面の水平方向を複数のブロックに分割し、個々のブロックの素子電流 $I_f$ の総和 $IFB[J]$ （ $J=1, 2, \dots, 4$  ただし $J$ はブロック番号）を算出する。

#### 【0112】

マトリクス計算部32は、数7で記載したマトリクス演算を行う回路ブロックである。

#### 【0113】

以上の処理を行うことにより、各々のノードに対応した水平位置における、電圧降下量（電圧降下量データ） $\Delta VN1 \sim \Delta VN5$ が算出される。

#### 【0114】

任意の位置の電圧降下量を求めるために、水平方向補間部33において数9に示した離散的にもとまった電圧降下量の水平方向の補間を行う。本発明では直線近似により補間を行って、任意の水平位置 $I$ における電圧降下量データ $\Delta V[I]$ （ $I=1, 2, \dots, N$ ）を算出した。

#### 【0115】

（遅延回路部12）

遅延回路部12は、後述する演算回路で、実効電圧と電圧降下量を加算する際に両者のタイミングがあるように、実効電圧データ $AVF[I]$ を遅延させる回路である。

#### 【0116】

遅延された実効電圧データ $AVF[I]$ は $AVFD[I]$ （ $I=1, 2, \dots, N$  ただし $I$ は水平位置）へと変換する。として演算部13に出力される。

## 【0117】

(演算部13)

演算部13は、各々の水平位置の画像データ  $Data[I]$  ( $I=1, 2, \dots, N$ ) に対応した、実効電圧データ  $AVFD[I]$  ( $I=1, 2, \dots, N$ ) に対し、その水平位置に対応した電圧降下量  $\Delta V[I]$  ( $I=1, 2, \dots, N$ ) を加算する手段である。

## 【0118】

すなわち、水平位置  $I$  を考慮して、

## 【数10】

$$CVF[I] = AVFD[I] + \Delta V[I] \quad (I=1, 2, \dots, N)$$

なる演算を行い、補正された実効電圧データ  $CVF[I]$  を算出する。

## 【0119】

(出力変換部14)

出力変換部14は、補正された実効電圧データ  $CVF[I]$  に基づいて、変調手段の出力が同様な実効電圧になるための変調手段への入力値を算出する為の手段である。

## 【0120】

具体的には図9の変換の逆変換を行うことにより、変調手段の入力に対応した補正画像データ  $Dout[I]$  を計算した。

## 【0121】

(シフトレジスタ5、ラッチ回路6)

演算手段の出力である画像データ  $Dout[I]$  ( $I=1, 2, \dots, N$ ) は、シフトレジスタ5により、シリアルなデータフォーマットから、各列配線毎の平行な画像信号  $ID1 \sim IDN$  へとシリアル/平行変換され、1水平期間が開始される直前に、タイミング信号  $Tload$  により、ラッチ回路6にロードされる。ラッチ回路6の出力は、平行な画像信号  $D1 \sim DN$  として変調手段へと供給される。

**【0 1 2 2】**

なお本実施の形態では画像信号 I D 1 ~ I D N、D 1 ~ D N はそれぞれ 8 ビットの画像信号とした。これらの動作タイミングはタイミング発生回路からのタイミング制御信号 T s f t 及び T l o a d に基づいて動作する。

**【0 1 2 3】**

(変調手段 (回路) 8)

変調手段 8 は、変調手段 8 への入力 D 1 ~ D N に対し、図 4 に示した変調パルスを出力するように作製されている。同手段は、タイムスロットを刻むカウンタとコンパレータ、V 1 ~ V 4 を切り替えるためのスイッチ、及びデコーダなどをそなえることにより簡単に構成することができる。

**【0 1 2 4】**

このような画像表示装置により画像の表示を行ったところ、従来からの課題であった行配線における電圧降下による影響を抑制することができ、該電圧降下に起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

**【0 1 2 5】**

(第 2 の実施の形態)

発明者らは、本発明の変調方式に対する電圧降下補正について説明を行った。

**【0 1 2 6】**

第 1 の実施の形態の電圧降下補正方式によれば、好適に電圧降下の補正を行うことができた。

**【0 1 2 7】**

一方、第 1 の実施形態の構成では、補正画像データ D o u t [ I ] が変調手段の入力範囲できよりも大きくなりすぎてしまい、好ましく補正ができないという別の問題が起きることがあった。

**【0 1 2 8】**

この原因は、補正を行うことにより補正された実効電圧データ C V F [ I ] に対応する電圧が、変調手段の出力できる最大の電圧を超えてしまうためである。

**【0 1 2 9】**

本実施の形態ではこのような問題（以降オーバーフローとよぶ）に対し、対策を行った例である。

#### 【0 1 3 0】

図 1 1 は、第 2 の実施の形態の電圧降下補正手段の概略を示すブロック図である。

#### 【0 1 3 1】

第 1 の実施の形態との差異は逆  $\gamma$  後の画像データ  $D_{in}[I]$  に対し、1 より小さい固定の係数を乗算し、 $D_{in}[I]$  の取り得る範囲を狭めた点である（乗算器 1 7）。

#### 【0 1 3 2】

本実施の形態では図 1 1 に示したように 0. 7 5 という係数を選んだが、これは一例であって補正後の実効電圧データ  $CVF[I]$  に対応する電圧が変調手段 8 の出力できる最大の電圧値（ $V_4$ ）を超えないように選択すればよい。

#### 【0 1 3 3】

なお選択する際には、1 0 0 % の全白画面を入力として選べば、そのとき電圧降下量は最大になるため、その場合にオーバーフローが起きなければ、それ以外のすべての場合においてオーバーフローが起きるのを防ぐことができる。

#### 【0 1 3 4】

以上のように回路を構成すれば、電圧降下の補正をより好適に行うことができる。

#### 【0 1 3 5】

（第 3 の実施の形態）

第 2 の実施形態では、入力される画像データに対し固定のゲインを乗算することにより、オーバーフローに対して対策を行い、より好適に電圧降下補正を行うことができた。

#### 【0 1 3 6】

本実施の形態では、同じくオーバーフローを防ぐ別の構成を説明する。図 1 2 は、第 3 の実施の形態に係る電圧降下補正手段の概略を示すブロック図である。

#### 【0 1 3 7】

第2の実施形態との差異は逆 $\gamma$ 後の画像データ  $D_{in}[I]$  に対し、フレームごとに変化する係数（ゲイン）を乗算し、 $D_{in}[I]$  の取り得る範囲を狭めた点である。

#### 【0138】

本実施の形態では図12に示したように補正画像データ  $D_{out}[I]$  の第  $k$  フレームの最大値  $D_{max}[k]$  を検出する（最大値検出部15）。さらにそれが変調手段の入力最大値  $MAX_{in}$  に収まるようにゲイン  $G[k]$  を以下のように計算した（ゲイン算出部16）。

#### 【数11】

$$G[k] = G[k-1] \times MAX_{in} / D_{max}[k]$$

ただし、 $G[k]$  は  $k$  番目のフレームのゲインである。

さらに、算出されたゲイン  $G[k]$  を第  $(k+1)$  フレームの入力画像データ  $D_{in}[I]$  に乗算することにより、入力画像データ  $D_{in}[I]$  の取り得る範囲を制限した（乗算器17）。

#### 【0139】

このようにフレームごとに動的にゲインを変更することのメリットとしては、変調手段の出力レンジを有効に使用できる点であり、表示する画像によっては、第2の実施形態よりも輝度や階調を表示できる点で非常に優れている。

#### 【0140】

なお、別の問題として、上記のゲインの算出方法ではオーバーフローは防止できるが、フレーム間のゲインの変動が大きすぎるために画面がフリッカ状に見えることがある。

#### 【0141】

図13は、第3の実施の形態の他の電圧降下補正手段の概略を示すブロック図である。

#### 【0142】

同図では、上述した問題に対し、フィルタ部18という新たな部分を設け、ゲインのフレーム間の変動を平滑化するフィルタ（ローパスフィルタ）により、ゲイ

ンの変動を抑える対策を講じている。

【0143】

フィルタとしてはたとえば以下に示すような帰還型のフィルタによってゲインの変動を抑えた別のゲイン  $G_a[k]$  を算出した。

【数12】

$$G_a[k] = a \times G[k] + (1-a) \times G_a[k-1]$$

ただし、 $0 < a < 1$  なる係数。

このように算出されたゲイン  $G_a[k]$  を画像データ  $D_{in}[I]$  に乗算することにより、オーバーフローを防止した。

【0144】

なお、ゲインをフィルタすることにより、厳密にはオーバーフローを防止することができないことがあった。

【0145】

これに対し、オーバーフローを完全に防止する目的で、補正画像データ  $D_{out}[I]$  の大きさを変調手段の入力最大値  $MAX_{in}$  以下の範囲に完全に制限するリミッタ部 19 を図 13 のように設けることで、オーバーフローを完全に防止することができた。

【0146】

すなわち

【数13】

$$\begin{aligned} D_{out2}[I] &= D_{out}[I] && (D_{out}[I] < MAX_{in} \text{ のとき}) \\ D_{out2}[I] &= MAX_{in} && (D_{out}[I] \geq MAX_{in} \text{ のとき}) \end{aligned}$$

このようにリミットした出力  $D_{out}[I]$  をシフトレジスタ 5 への入力として供給し変調を行ったところ、非常に好ましかった。

【0147】

また発明者らは別の問題として、画面のシーンが変わった際に、フィルタ前のゲインは大きく変化する一方で、ゲインはフィルタされて変動が抑えられるため

、速やかなゲインの変化を行うことができないという別の課題があることを確認している。

#### 【0148】

図14は、第3の実施の形態の他の電圧降下補正手段の概略を示すブロック図である。

#### 【0149】

図14では、上述した問題に対し、画像データ  $D_{in}[I]$  を調査し、シーンが変わった場合にはシーンチェンジを検出するシーンチェンジ検出部20を設け、フィルタ部18に検出信号  $schg$  を供給した。

#### 【0150】

さらに図14のフィルタ部において

#### 【数14】

$$Gb[k] = G[k] \quad (\text{シーンチェンジがあった場合})$$

$$Gb[k] = a \times G[I] + (1-a) \times Gb[k-1] \quad (\text{シーンチェンジがなかった場合})$$

ただし、 $0 < a < 1$ なる係数。

のようにゲインを切り替えるゲインの制御を行った。

#### 【0151】

このようにゲインの制御をおこなったところ、同一のシーン内ではゲインの変動が抑えられるためフリッカのない画像が得られ、シーンが変わった際にはゲインを速やかに変更することができ非常に好ましかった。

#### 【0152】

なお、シーンチェンジの検出は、たとえばフレームごとのAPL (Average Picture Level) の差分を計算し、その差分がある閾値よりも大きければシーンチェンジがあったと判断する、などの方法により簡単に実施できる。

#### 【0153】

以上のような構成をとることにより、前述のオーバーフローを好適に防止することができ、さらには電圧降下補正を好適に行うことができ、非常に好ましかった。



## 【0 1 5 4】

(第4の実施形態)

第3の実施形態では、電圧降下補正時に発生するオーバーフローの対策を行った電圧降下補正手段について説明をおこなった。

## 【0 1 5 5】

一方、オーバーフローを防止する意味では図15のような構成であってもかまわない。

## 【0 1 5 6】

すなわち第3の実施形態では予め入力されたデータを縮めておいてオーバーフローを防止していたが、本実施の形態では予め入力されたデータを縮めておくのではなく、変調手段に入力される直前でその大きさを縮める点が異なる。

## 【0 1 5 7】

本実施の形態では図15に示したように補正画像データ  $Dout [I]$  の第  $k$  フレームの最大値  $Dmax [k]$  を検出する(最大値検出部15)。さらにそれが変調手段の入力最大値  $MAXin$  に収まるようにゲイン  $Gc [k]$  を以下のよう  
に計算した(ゲイン算出部16)。

## 【数15】

$$Gc[k] = MAXin / Dmax[k]$$

ただし、 $Gc[k]$  は  $k$  番目のフレームのゲインである。

または、算出されたゲイン  $Gc [k]$  に対し、ゲインのフレーム間の変動を平滑化するフィルタ(ローパスフィルタ)により、ゲインの変動を抑える対策を講じている。

## 【0 1 5 8】

フィルタとしてはたとえば以下に示すような帰還型のフィルタによってゲインの変動を抑えた別のゲイン  $Gd [k]$  を算出した(フィルタ部18)。

## 【数 16】

$$Gd[k] = a \times Gc[k] + (1-a) \times Gd[k-1]$$

ただし、 $0 < a < 1$ なる係数。

または、シーンが変わった場合のゲインの変更を速やかに行う目的で、シーンチェンジ検出部を設け、フィルタ部にシーンチェンジがあったかどうかを知らせる *s c h g* 信号を供給した。

## 【0159】

さらに図 15 のフィルタ部 18 において

## 【数 17】

$$Ge[k] = Gc[k] \quad (\text{シーンチェンジがあった場合})$$

$$Ge[k] = a \times G[k] + (1-a) Ge[k-1] \quad (\text{シーンチェンジがなかった場合})$$

ただし、 $0 < a < 1$ なる係数。

のようにゲインを切り替えるゲインの制御を行った。

## 【0160】

このように算出されたゲイン  $Ge[k]$  を画像データ  $Din[I]$  に乗算することにより、オーバーフローを防止した(乗算器 21)。

## 【0161】

さらに、算出されたゲイン  $Ge[k]$  を第  $(k+1)$  フレームの補正画像データ  $Dout[I]$  に乗算することにより、取り得る範囲を制限した補正画像データ  $Dout3[I]$  を算出した。

## 【数 18】

$$Dout3[I] = Ge[k] \times Dout[I]$$

さらに本実施形態でも、フィルタすることによるオーバーフローを完全に防止する目的で、補正画像データ  $Dout[I]$  の大きさを変調手段の入力最大値  $MAXin$  以下の範囲に完全に制限するリミッタを図 15 のように設けることで、オーバーフローを完全に防止した。

## 【0162】

すなわち

【数 19】

$$\text{Dout4}[I] = \text{Dout3}[I] \quad (\text{Dout3}[I] < \text{MAXinのとき})$$
$$\text{Dout4}[I] = \text{MAXin} \quad (\text{Dout3}[I] \geq \text{MAXinのとき})$$

このようにリミットした出力  $\text{Dout4}[I]$  をシフトレジスタ 5 への入力として供給し変調を行ったところ、非常に好ましかった。

【0163】

以上のような構成をとることにより、前述のオーバーフローを好適に防止することができ、さらには電圧降下補正を好適に行うことができ、非常に好ましかった。

【0164】

【発明の効果】

以上説明したように、本発明はパルスの電圧方向と時間方向の変調を併用した変調を用いて、電圧降下の影響を好適に補正し、好ましい表示画像を得ることができる。

【図面の簡単な説明】

【図 1】

本実施の形態に係る画像表示装置の回路構成の概略を示すブロック図である。

【図 2】

本実施の形態に係る画像表示装置に用いた表示パネルの斜視図である。

【図 3】

本実施の形態に係る画像表示素子の一例である表面伝導型放出素子の特性を示すグラフである。

【図 4】

本実施の形態に係る画像表示装置の変調パルスの波形の一例を示す模式図である。

【図 5】

本実施の形態に係る画像表示装置の変調パルスの波形の他の一例を示す模式図

である。

【図 6】

素子電流量から行配線上の電圧降下を算出する方法を説明するための図である。

。

【図 7】

本実施の形態における電圧降下量の算出方法において導入した近似モデルを模式的に説明するための図である。

【図 8】

本実施の形態に係る走査回路の概略を示す図である。

【図 9】

本実施の形態に係る入力変換手段における変換テーブルを示すグラフである。

【図 1 0】

本実施の形態に係る電圧降下量算出部の概略を示すブロック図である。

【図 1 1】

第 2 の実施の形態の電圧降下補正手段の概略を示すブロック図である。

【図 1 2】

第 3 の実施の形態の電圧降下補正手段の概略を示すブロック図である。

【図 1 3】

第 3 の実施の形態の他の電圧降下補正手段の概略を示すブロック図である。

【図 1 4】

第 3 の実施の形態の他の電圧降下補正手段の概略を示すブロック図である。

【図 1 5】

第 4 の実施の形態の電圧降下補正手段の概略を示すブロック図である。

【図 1 6】

従来の画像表示装置の概略構成を示すブロック図である。

【図 1 7】

パルスの電圧方向と時間方向の変調を併用した変調方式を説明するための図である。

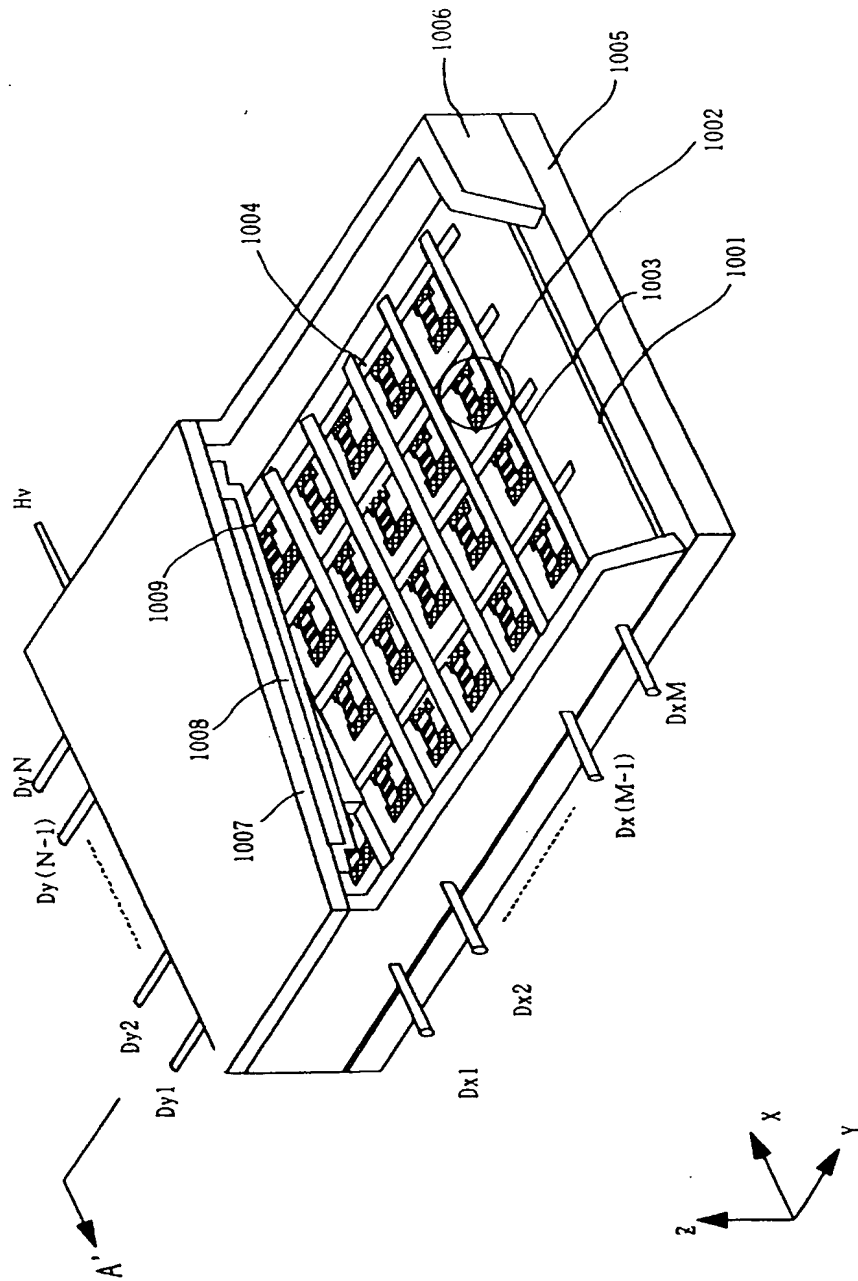
【符号の説明】

## A 電圧降下補正手段

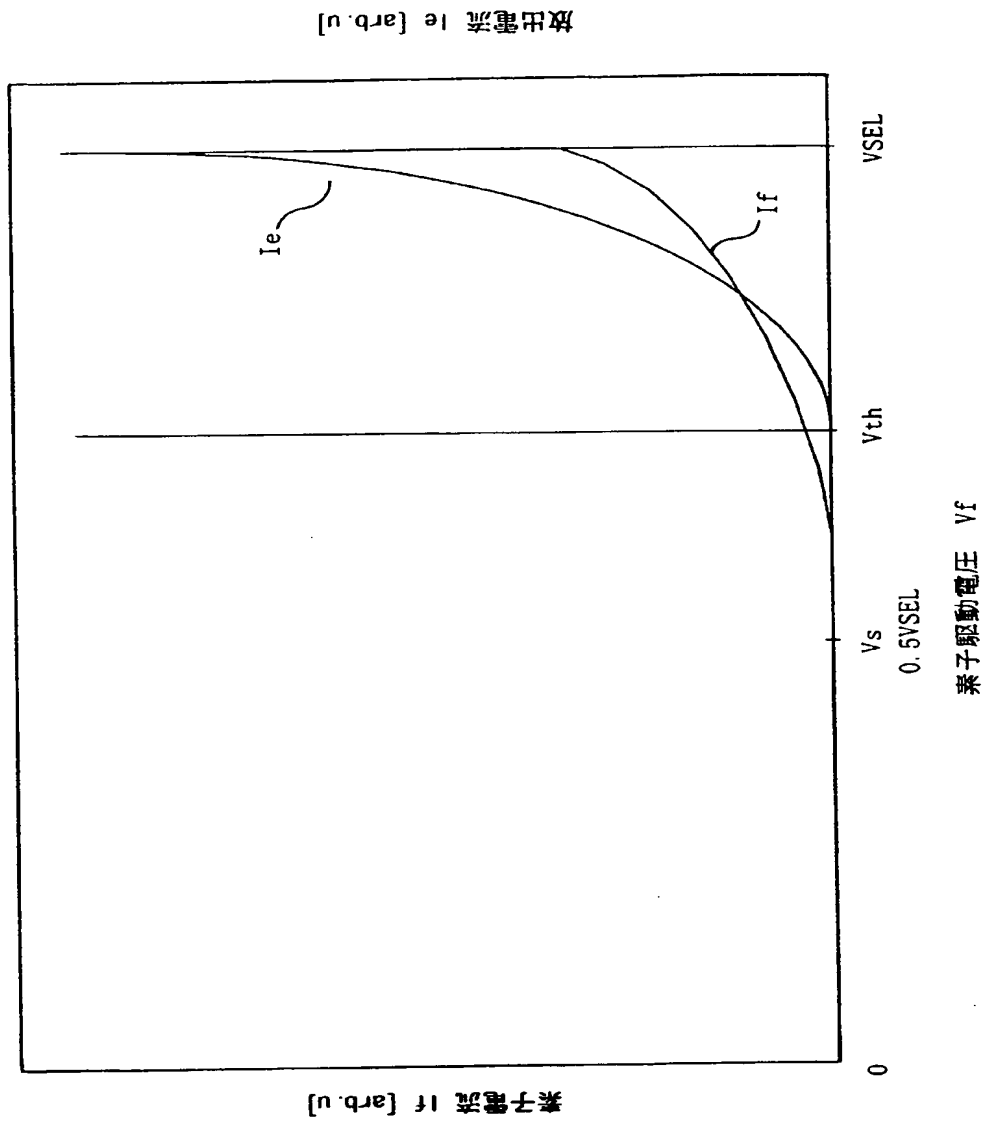
- 1 表示パネル
- 2, 2' 走査回路
- 4 タイミング発生回路
- 5 シフトレジスタ
- 6 ラッチ回路
- 8 変調回路 (変調手段)
- 9 逆 $\gamma$ 変換部
- 1 0 入力変換部 (実行電圧計算部)
- 1 1 電圧降下量算出部
- 1 2 遅延回路部
- 1 3 演算部
- 1 4 出力変換部
- 1 5 最大値検出部
- 1 6 ゲイン算出部
- 1 7 乗算器
- 1 8 フィルタ部
- 1 9 リミッタ部
- 2 0 シーンチェンジ検出部
- 2 1 乗算器
- 3 0 素子電流変換部
- 3 1 素子電流積算部
- 3 2 マトリクス計算部
- 3 3 水平方向補間部
- 1 0 0 3 行配線
- 1 0 0 4 列配線



【図 2】

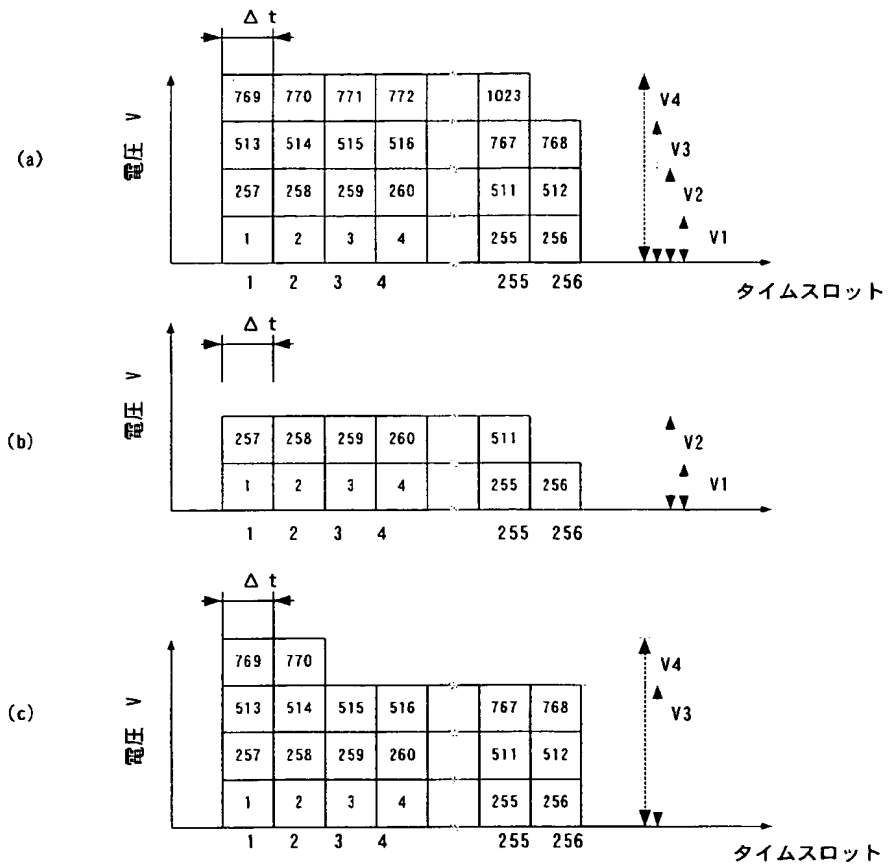


【図 3】

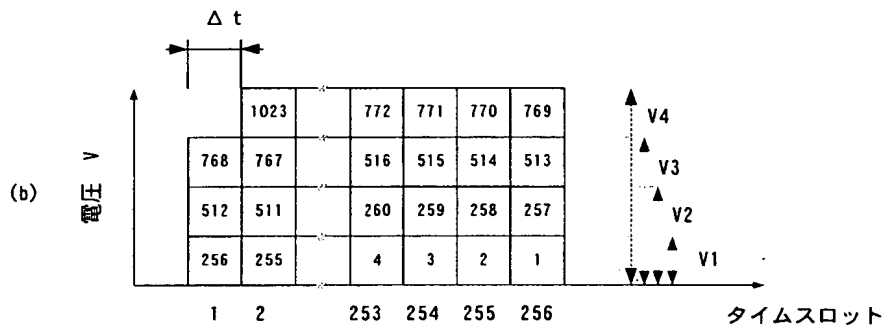
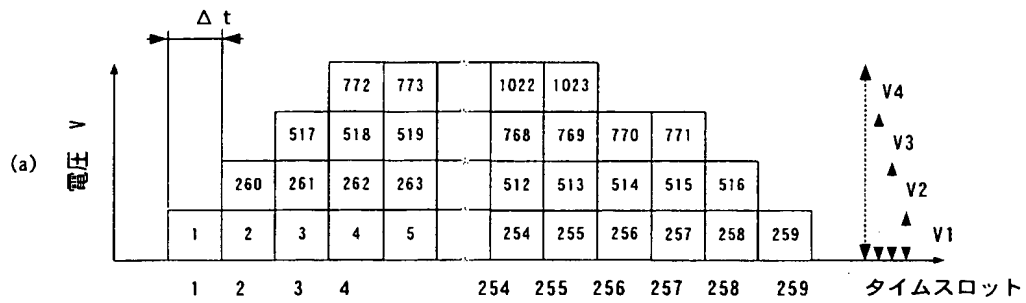




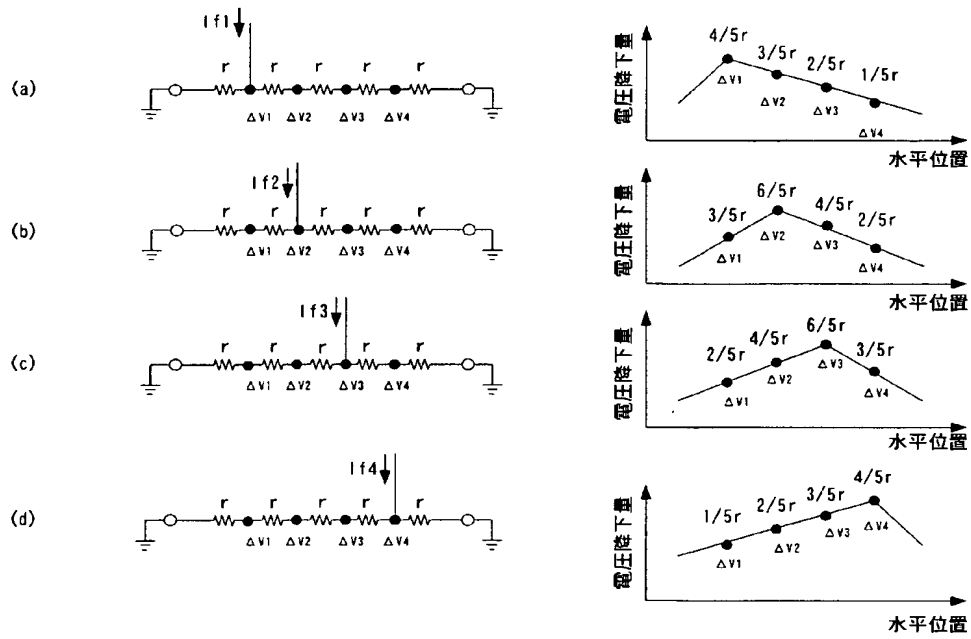
【図 4】



【図 5】



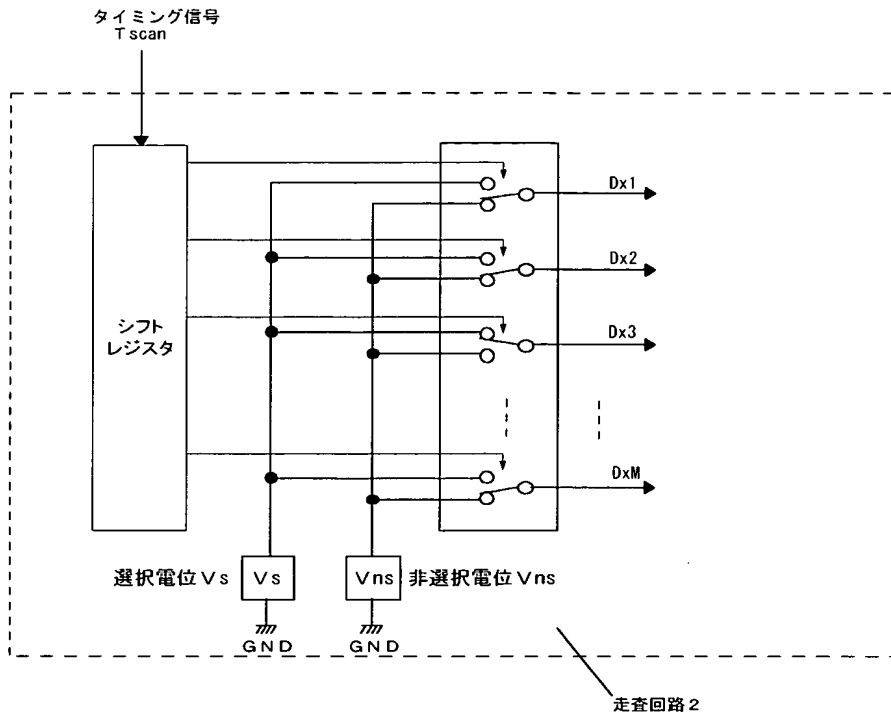
【図 6】



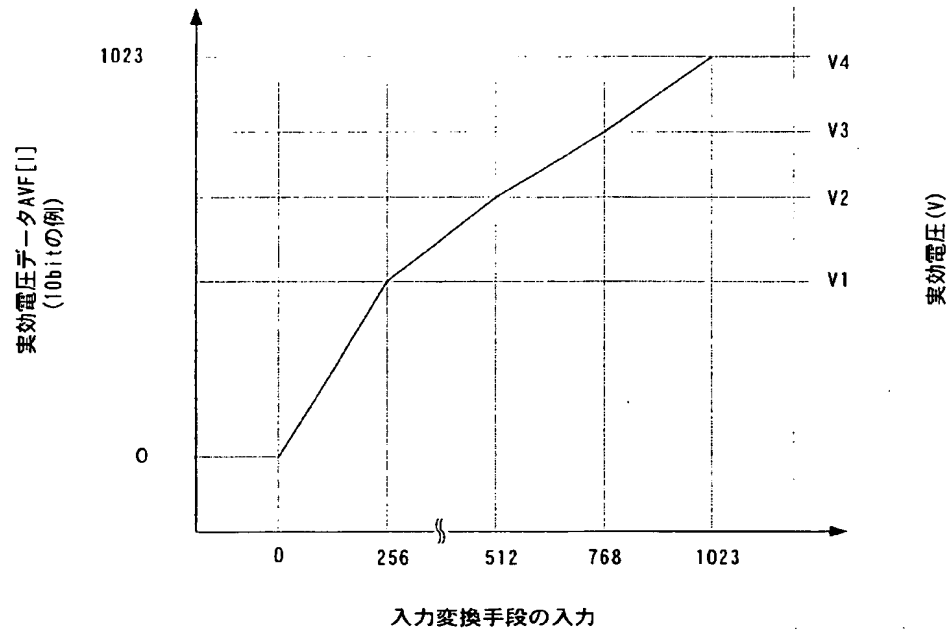
$$\begin{pmatrix} \Delta V1 \\ \Delta V2 \\ \Delta V3 \\ \Delta V4 \end{pmatrix} = \frac{r}{5} \begin{pmatrix} 4 & 3 & 2 & 1 \\ 3 & 6 & 4 & 2 \\ 2 & 4 & 6 & 3 \\ 1 & 2 & 3 & 4 \end{pmatrix} \begin{pmatrix} If1 \\ If2 \\ If3 \\ If4 \end{pmatrix}$$



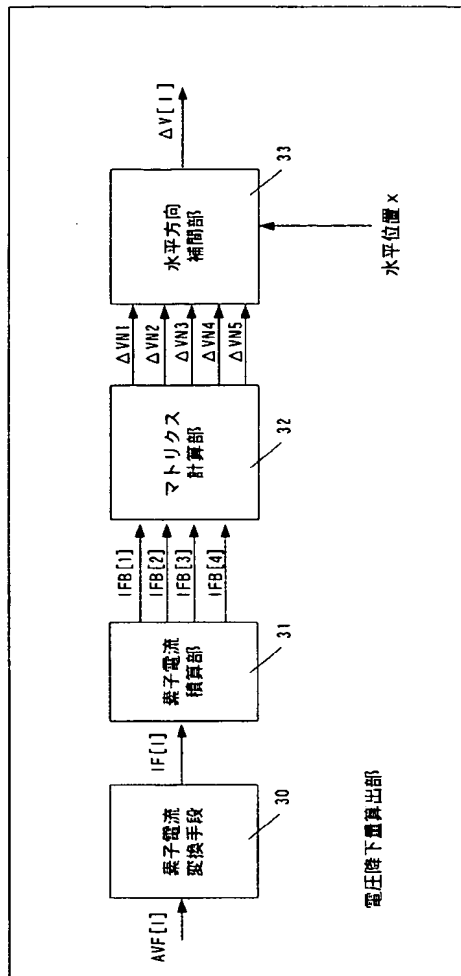
【図 8】



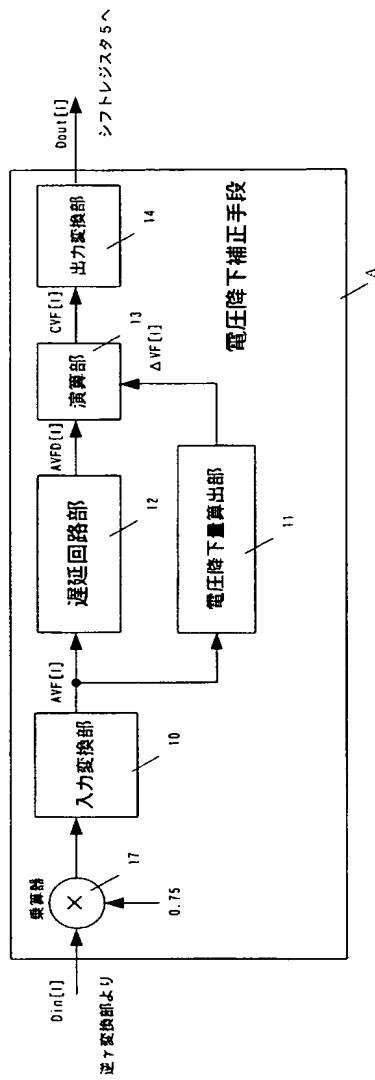
【図 9】



【図 10】

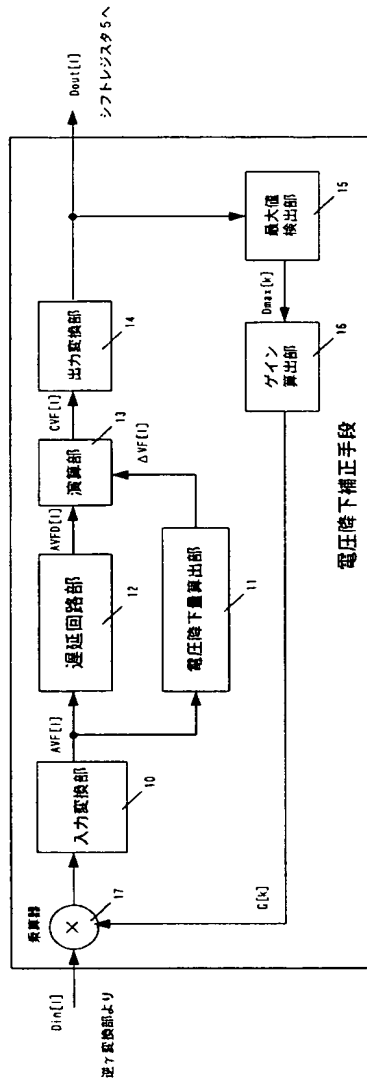


【図 11】

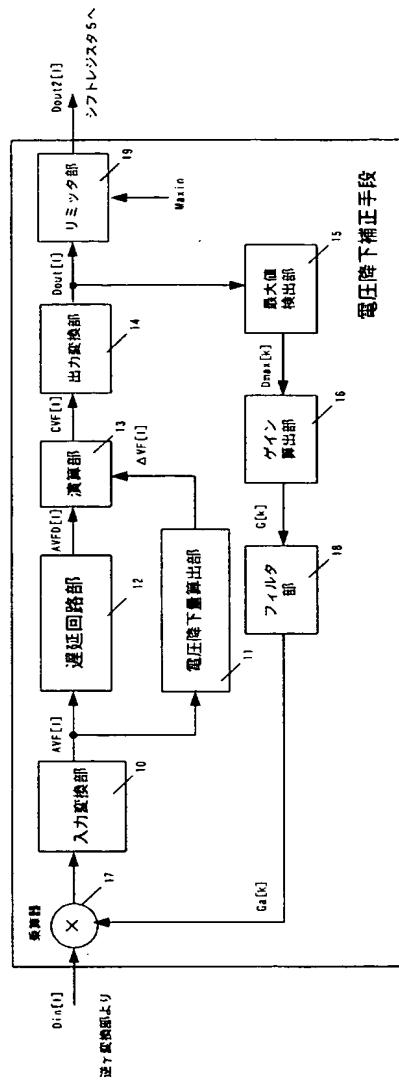




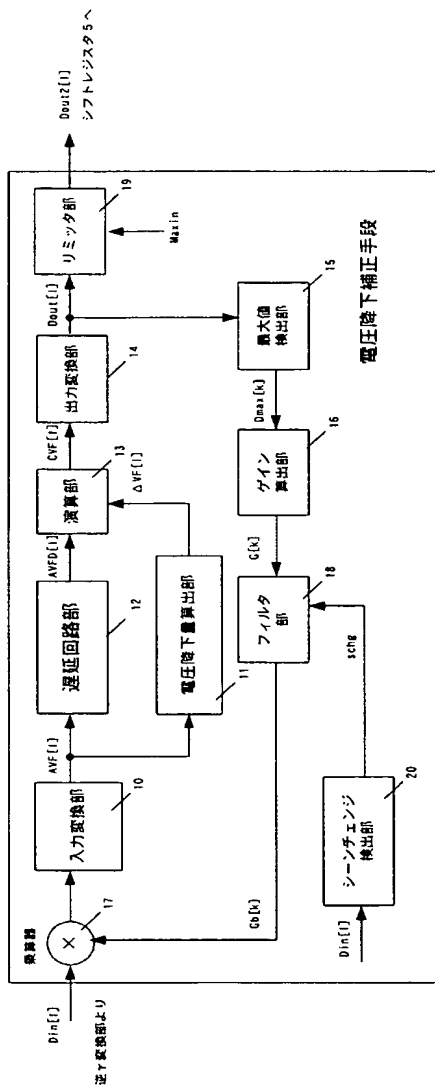
【図 12】



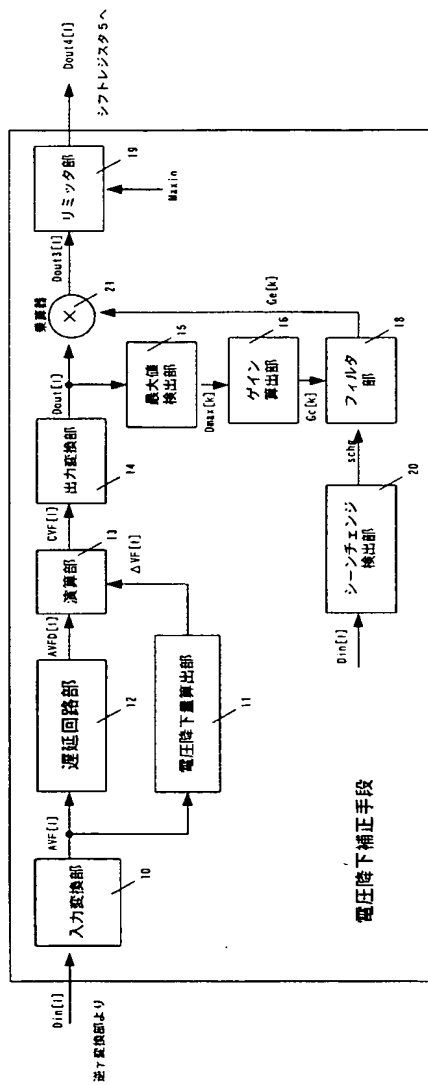
【図 13】



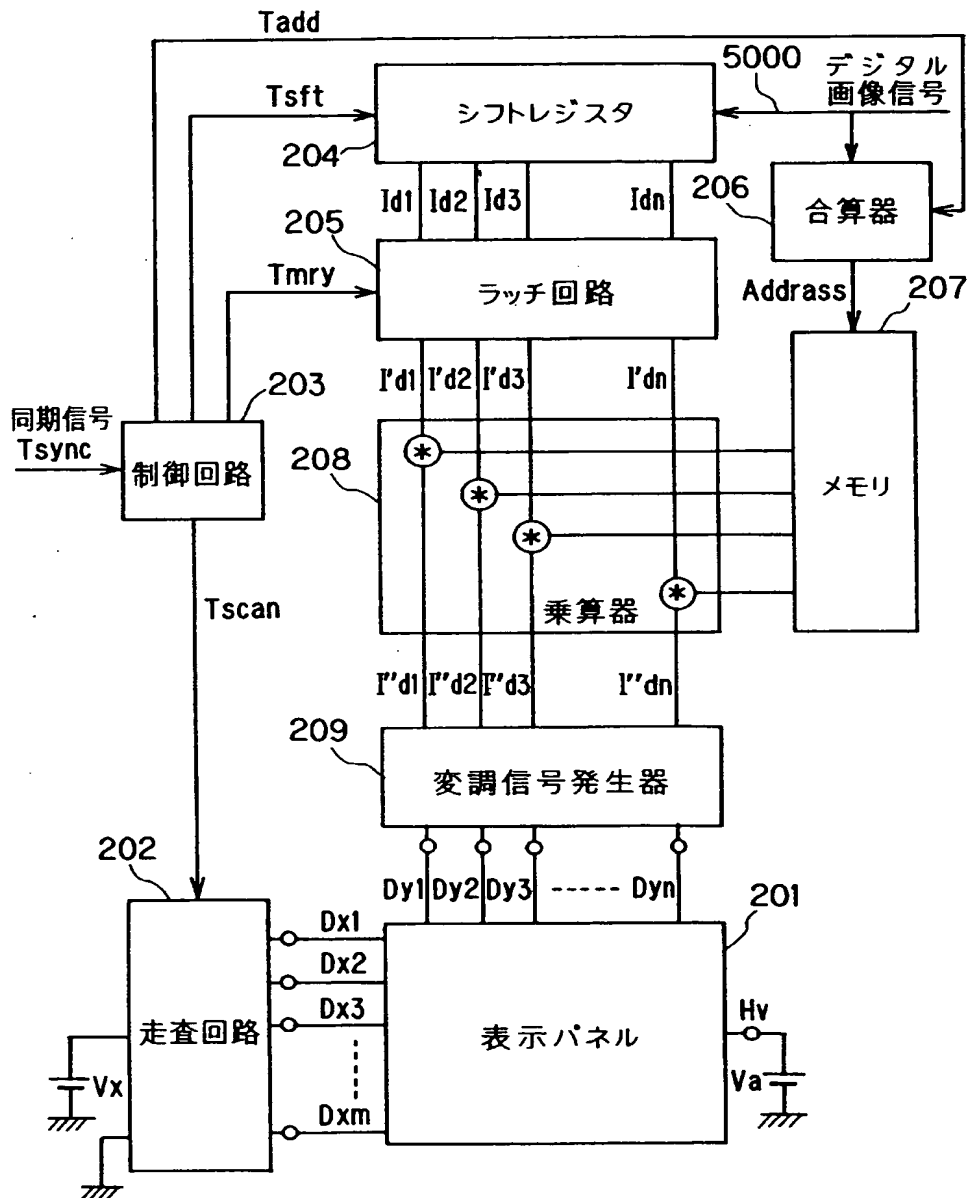
【図 14】



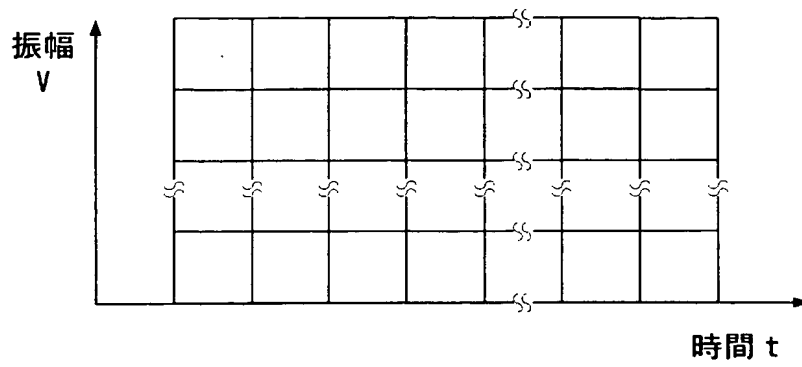
【図 15】



【図 16】



【図 1 7】



【書類名】 要約書

【要約】

【課題】 電圧降下の影響を好適に補正し、好ましい表示画像を得ることができる画像表示装置を提供する。

【解決手段】 行配線 1003 を順次選択し走査する走査手段（走査回路 2，2'）と、列配線 1004 に印加する変調信号を出力する変調手段（変調回路 8）と、を備える画像表示装置において、前記変調信号は、複数の電圧振幅値を有するパルス幅変調された電圧信号であって、画像データ  $D_{in}[I]$  に対して、少なくとも前記行配線 1003 の抵抗分による電圧降下の影響を低減するための補正画像データ  $D_{out}[I]$  を算出する電圧降下補正手段 A を有し、前記変調手段（変調回路 8）は前記補正画像データ  $D_{out}[I]$  に基づいて、前記変調信号のパルス幅及び／または電圧振幅値を伸張した変調信号を出力する。

【選択図】 図 1

特願 2 0 0 2 - 3 8 0 6 1 7

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 0 0 7 ]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都大田区下丸子 3 丁目 3 0 番 2 号
氏 名	キヤノン株式会社